

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANTS : Sung-Kee Kim et al.
SERIAL NO. : Not Yet Assigned
FILED : March 23, 2004
FOR : PRECODER AND OPTICAL DUO-BINARY TRANSMISSION
APPARATUS USING THE SAME

PETITION FOR GRANT OF PRIORITY UNDER 35 USC 119

MAIL STOP PATENT APPLICATION
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA. 22313-1450

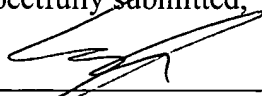
Dear Sir:

Applicant hereby petitions for grant of priority of the present Application on the basis of the following prior filed foreign Application:

<u>COUNTRY</u>	<u>SERIAL NO.</u>	<u>FILING DATE</u>
Republic of Korea	2003-66587	September 25, 2003

To perfect Applicant's claim to priority, a certified copy of the above listed prior filed Application is enclosed. Acknowledgment of Applicant's perfection of claim to priority is accordingly requested.

Respectfully submitted,



Steve S. Cha
Attorney for Applicant
Registration No. 44,069

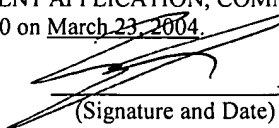
CHA & REITER
210 Route 4 East, #103
Paramus, NJ 07652
(201) 226-9245

Date: March 23, 2004

Certificate of Mailing Under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to MAIL STOP PATENT APPLICATION, COMMISSIONER FOR PATENTS, P. O. BOX 1450, ALEXANDRIA, VA. 22313-1450 on March 23, 2004.

Steve S. Cha, Reg. No. 44,069
Name of Registered Rep.)



(Signature and Date)

3/23/04



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0066587
Application Number

출원 년 월 일 : 2003년 09월 25일
Date of Application SEP 25, 2003

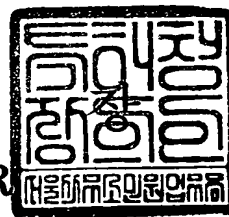
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.09.25
【국제특허분류】	G02B
【발명의 명칭】	프리코더 및 이를 이용한 광 듀오바이너리 전송장치
【발명의 영문명칭】	DUOBINARY PRECODER AND OPTICAL DUOBINARY TRANSMITTER USING THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	김성기
【성명의 영문표기】	KIM,Sung Kee
【주민등록번호】	740118-1105910
【우편번호】	441-834
【주소】	경기도 수원시 권선구 권선동 1238 삼천리2차 아파트
【국적】	KR
【발명자】	
【성명의 국문표기】	이한림
【성명의 영문표기】	LEE,Han Lim
【주민등록번호】	740626-1335015
【우편번호】	151-801
【주소】	서울특별시 관악구 남현동 602-170 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	오윤제
【성명의 영문표기】	OH,Yun Je

【주민등록번호】	620830-1052015
【우편번호】	449-915
【주소】	경기도 용인시 구성면 언남리 동일하이빌 102동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	황성택
【성명의 영문표기】	HWANG, Seong Taek
【주민등록번호】	650306-1535311
【우편번호】	459-707
【주소】	경기도 평택시 독곡동 대림아파트 102동 303호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이건주 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	429,000 원

【요약서】**【요약】**

본 발명은 프리코더 및 이를 이용한 광 듀오바이너리 전송장치에 관한 것이다.

본 발명의 프리코더는 n 번째 입력되는 N 개 채널의 데이터 입력 신호의 "1"의 개수가 짝수인가 홀수인가를 판별하는 판별부와; 상기 '1'의 개수가 홀수인 경우 상기 판별부의 출력 신호를 토글하는 토글부와; 상기 N 개의 채널 중 임의의 채널을 기준으로 데이터 입력 신호에 따라 나머지 채널들의 출력값을 결정하는 출력부를 포함하여 구성됨을 특징으로 하는 한다.

또한, 본 발명의 광 듀오바이너리 전송장치는 다수 개 채널의 데이터 입력 신호를 N 개 채널 단위로 패럴렐 프로세싱(parallel processing)에 의해 코딩하는 프리코더와; 상기 프리코더에 의해 코딩된 신호들을 시간 다중화하는 다중화기를 포함하여 구성됨을 특징으로 한다.

【대표도】

도 6

【색인어】

듀오바이너리, 프리코더, 패럴렐 프로세싱

【명세서】

【발명의 명칭】

프리코더 및 이를 이용한 광 듀오바이너리 전송장치{DUOBINARY PRECODER AND OPTICAL DUOBINARY TRANSMITTER USING THEREOF}

【도면의 간단한 설명】

도 1은 종래의 광 듀오바이너리 전송장치의 일 구성예를 나타낸 도면,

도 2는 종래 광 듀오바이너리 전송장치에서 프리코더의 위치를 나타낸 도면,

도 3은 종래 대표적인 프리코더의 구조를 나타낸 도면,

도 4는 도 3의 입출력신호의 예를 나타낸 도면,

도 5는 본 발명의 실시예에 따른 듀오바이너리 광 전송장치의 구성을 나타낸 도면,

도 6은 도 5의 구성에서 프리코더와 다중화기의 위치를 나타낸 도면,

도 7은 본 발명에 따른 페럴렐 프로세싱을 수행하는 프리코더의 제1 실시예의 구성을 나타낸 도면,

도 8은 도 7의 입출력신호의 예를 나타낸 도면,

도 9는 본 발명에 따른 페럴렐 프로세싱을 수행하는 프리코더의 제2 실시예의 구성을 나타낸 도면,

도 10은 도 9의 입출력신호의 예를 나타낸 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 광(optical) 듀오바이너리(duobinary) 송신 기법을 이용한 광 듀오바이너리 전송장치에 관한 것으로, 특히 패럴렐 프로세싱(parallel processing)을 갖는 프리코더 및 이를 이용한 광 듀오바이너리 전송장치에 관한 것이다.
- <12> 고밀도 파장 분할 다중 방식(Dense Wavelength Division Multiplexing : 이하 DWDM이라 칭함)의 광전송 시스템은 하나의 광섬유 내에 서로 다른 파장을 갖는 다수의 채널들로 구성된 광신호를 전송함으로써 전송 효율을 높일 수 있으며, 전송 속도에 무관하게 광신호를 전송할 수 있으므로 최근과 같이 전송량이 증가하고 있는 초고속 인터넷망에 유용하게 쓰이고 있는 시스템이다. 현재 DWDM을 이용하여 100개 이상의 채널들을 하나의 광섬유를 통해 전송하는 시스템이 상용화되었으며, 하나의 광섬유에 200개 이상의 40Gbps 채널들을 동시에 전송하여 10Tbps 이상의 전송속도를 가지는 시스템에 대한 연구도 활발히 진행되고 있다.
- <13> 그러나, 급격한 데이터 트래픽의 증가와 40Gbps 이상의 고속 데이터 전송 요구로 인하여 기존 NRZ(Non Return to Zero: 이하 NRZ라 칭함)를 이용한 광 세기변조시 50GHz 채널 간격 이하에서는 급격한 채널간 간섭과 왜곡으로 전송용량의 확장에 한계가 있으며, 기존 바이너리(binary) NRZ 전송신호의 DC 주파수 성분과 변조시 확산된 고주파 성분은 광섬유 매질에서의 전파시 비선형과 분산을 초래하여 10Gbps 이상의 고속 전송에 있어서는 전송거리에 한계를 가진다.

- <14> 최근, 광 듀오바이너리 기술이 색분산(chromatic dispersion)으로 인한 전송거리 제한을 극복할 수 있는 광 전송기술로 주목받고 있다. 듀오바이너리 전송의 주요 장점은 전송 스펙트럼이 일반적인 바이너리 전송에 비해 줄어든다는 것이다. 분산 제한 시스템에 있어서, 전달거리는 전송 스펙트럼 대역폭의 제곱에 반비례한다. 이는, 전송 스펙트럼이 1/2로 줄어들면 전달거리는 4배가된다는 것을 의미한다. 더욱이, 반송파 주파수가 듀오바이너리 전송 스펙트럼 내에서 억압되므로, 광섬유 내에서 자극 받은 브릴루인 산란(Brillouin Scattering)으로 인한 출력 광 전력에 대한 제한을 완화시킬 수 있다.
- <15> 도 1은 종래의 광 듀오바이너리 전송장치의 일 구성예를 나타낸 도면으로, 이를 통해 종래 광 듀오바이너리 전송장치에 대해 설명하면 다음과 같다.
- <16> 도 1에서, 종래의 광 듀오바이너리 전송장치는 N 개 채널의 데이터 입력 신호를 다중화하여 출력하는 다중화기(10)와, 상기 다중화된 신호를 부호화하는 프리코더(20)와, 상기 프리코더(20)에서 출력되는 2-레벨의 바이너리 신호를 3-레벨의 전기신호로 변화시키고 신호의 대역폭을 줄이는 저역 통과 필터(30)와, 상기 3-레벨 전기신호를 증폭하여 변조기 구동이 가능하도록 구동 신호를 출력하는 변조기 구동 증폭기(40)와, 반송파를 출력하는 레이저 광원(laser source, 50)과, 마하-젠더 타입의 광세기 변조기(Mach-Zehnder interferometer type optical intensity modulator, 60)로 구성된다.
- <17> 상기 구성을 갖는 종래 광 듀오바이너리 전송장치의 동작은 다음과 같다. N 개 채널의 입력 신호는 다중화기(10)에서 다중화 된 후 프리코더(20)에서 부호화 된다. 프리코더(20)에서 출력된 2-레벨의 바이너리 신호는 저역 통과 필터(30)에 각각 입력되고, 저역 통과 필터(30)는 상기 2-레벨 바이너리 신호의 클럭 주파수(clock frequency)의 약 1/4에 해당하는 대역폭을 갖는다. 이러한 대역폭의 과도한 제한으로 인해 코드간의 간섭이 발생하고, 코드간의 간섭으로

인해 상기 2-레벨 바이너리 신호는 3-레벨의 듀오바이너리 신호(3-level Duo-binary signal)로 변환된다. 3-레벨 듀오바이너리 신호는 변조기 구동 증폭기(40)에 의해 증폭된 후 마하-젠더 타입의 광세기 변조기(60)의 구동신호로 이용되며, 레이저 광원(50)으로부터 출력된 반송파는 마하-젠더 타입의 광세기 변조기(60)의 구동신호에 따라 위상 및 광세기 변조되어 2-레벨의 광 듀오바이너리 신호로 출력된다.

<18> 상기 광 듀오바이너리 전송장치에서 프리코더의 위치는 도 2에 도시된 바와 같이 N 개의 입력 광신호들을 다중화기(10)를 통해서 시간 다중화한 후에 프리코더(20)에서 부호화 된다. 따라서 전송속도는 다중화 전에 비해 N 배 증가하게 되며, 이는 곧 높은 속도의 프리코더를 필요로 함을 의미한다.

<19> 도 3은 종래 일반적인 프리코더(20)의 구조를 나타낸 도면으로, 상기 프리코더(20)는 하나의 XOR(Exclusive OR) 게이트(21)와 하나의 데이터 비트 지연기(22)로 구성된다. 상기 프리코더(20)에 '11010111101010'의 신호를 입력한 경우 출력되는 신호는 도 4에 도시된 바와 같이 '1001101011100111'가 된다. 즉, 프리코더(10)의 역할은 '1'의 데이터 신호가 나올 때마다 출력신호를 토글(toggle)시켜 주는 것임을 알 수 있다.

<20> 그러나, 상기 종래기술은 고속의 데이터 신호의 경우 프리코더를 구성하는 XOR 게이트 자체의 속도의 한계와 시간지연으로 인해 고속의 프리코더 구현에 어려움이 따른다.

【발명이 이루고자 하는 기술적 과제】

- <21> 따라서, 본 발명의 목적은 다수의 입력 데이터들을 시간 다중화 전에 패럴렐 프로세싱을 통해 코딩해 줌으로써 기존의 저속의 전기적 소자를 사용하고서도 고속의 프리코더를 구현할 수 있는 프리코더 및 이를 이용한 광 듀오바이너리 전송장치를 제공함에 있다.
- <22> 상기 목적을 달성하기 위하여 본 발명에 따른 프리코더는 n 번째 입력되는 N 개 채널의 데이터 입력 신호의 "1"의 개수가 짝수인가 홀수인가를 판별하는 판별부와; 상기 '1'의 개수가 홀수인 경우 상기 판별부의 출력 신호를 토글하는 토글부와; 상기 N 개의 채널 중 임의의 채널을 기준으로 데이터 입력 신호에 따라 나머지 채널들의 출력값을 결정하는 출력부를 포함하여 구성됨을 특징으로 하는 한다.
- <23> 또한, 본 발명의 광 듀오바이너리 전송장치는 다수 개 채널의 데이터 입력 신호를 N 개 채널 단위로 패럴렐 프로세싱(parallel processing)에 의해 코딩하는 프리코더와; 상기 프리코더에 의해 코딩된 신호들을 시간 다중화하는 다중화기를 포함하여 구성됨을 특징으로 한다.

【발명의 구성 및 작용】

- <24> 이하, 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

- <25> 도 5는 본 발명의 실시예에 따른 듀오바이너리 광 전송장치의 구성을 나타낸 도면이고, 도 6은 도 5의 구성에서 프리코더와 다중화기의 위치를 나타낸 도면이다.
- <26> 도 5에서, 본 발명의 듀오바이너리 광 전송장치는 N 개의 데이터 입력 신호를 부호화하는 프리코더(100)와, 상기 부호화된 신호를 다중화하여 출력하는 다중화기(200)와, 저역 통과 필터(30)와, 변조기 구동 증폭기(40)와, 광원 및 광세기 변조기(60)를 포함하여 구성된다.
- <27> 상기 프리코더(100)는 N 개 채널의 입력 신호를 패럴렐 프로세싱(parallel processing)에 의해 부호화하는 역할을 수행하며, 도 6에 도시된 바와 같이 상기 다중화기(200)의 앞단에 위치한다.
- <28> 도 7은 본 발명에 따른 패럴렐 프로세싱을 수행하는 프리코더의 제1 실시예의 구성(700)을 나타낸 도면으로, 다중화 할 입력 신호의 채널 수(In1, In2, In3, In4)가 4인 경우이다. 참고로, 도 7에는 도 5의 구성에서 프리코더(100)의 출력신호를 다중화하기 위한 다중화기(200)도 함께 도시하였다.
- <29> 도 7을 참조하면, 프리코더(700)는 입력 신호의 채널 수가 4인 경우 4개의 XOR 게이트(XOR1, XOR2, XOR3, XOR4)와 하나의 데이터 비트 지연기(701)로 구성된다.
- <30> 입력신호가 a_{4n+1} , a_{4n+2} , a_{4n+3} , a_{4n+4} 인 경우 b_{4n+1} 신호는 a_{4n+1} 신호와, b_{4n+4} 신호가 1 데이터 비트만큼 시간 지연된 신호를 XOR 함으로써 얻을 수 있으며, b_{4n+2} 신호는 b_{4n+1} 신호와 a_{4n+2} 신호를 XOR 함으로써 얻을 수 있다. b_{4n+3} , b_{4n+4} 신호도 마찬가지로 방법으로 얻을 수 있다. 즉, 다음과 같은 로직을 수행하게 된다.
- <31>
$$b_{4n+1} = a_{4n+1} \oplus b_{4(n-1)+4} = a_{4n+1} \oplus b_{4n}$$
- <32>
$$b_{4n+2} = a_{4n+2} \oplus (a_{4n+1} \oplus b_{4n}) = a_{4n+2} \oplus b_{4n+1}$$

$$<33> \quad b_{4n+3} = a_{4n+3} \oplus (a_{4n+2} \oplus (a_{4n+1} \oplus b_{4n})) = a_{4n+3} \oplus b_{4n+2}$$

$$<34> \quad b_{4n+4} = a_{4n+4} \oplus (a_{4n+3} \oplus (a_{4n+2} \oplus (a_{4n+1} \oplus b_{4n}))) = a_{4n+4} \oplus b_{4n+3}$$

<35> 도 7에서 1 데이터 비트만큼 시간 지연을 위해 디-플립플롭(D-FF)이 사용될 수 있으며, XOR 게이트에서의 시간 지연을 보상해부기 위해서 XOR 게이트가 사용되지 않은 경로에 또 다른 XOR 게이트를 삽입할 수 있다. 이 경우 XOR 게이트의 하나의 입력에 '0' 레벨 신호를 입력하면 신호의 변화 없이 시간 지연만 맞춰 줄 수 있다.

<36> 도 8은 입력신호가 '1101011110010100'인 경우 도 7의 입출력 신호를 나타낸 것이다. 도 면에서 In1 내지 In4 까지의 입력신호를 시간 다중화시키면 도 4의 입력신호와 동일함을 알 수 있다. 또한 패럴렐 프로세싱을 통해 얻은 Out1 내지 Out 4 신호를 시간 다중화 하게 되면 도 4의 출력신호와 동일함을 알 수 있다. 즉, 도 7에 의해 기존과 동일한 방법으로 코딩이 이루어 짐을 확인할 수 있다.

<37> 상기 제1 실시예의 프리코더(700)는 간단하게 구현할 수 있는 장점이 있으나, 입력 신호의 개수 n이 증가함에 따라 XOR 게이트에서 발생하는 시간 지연이 누적되어 1 데이터 비트보다 더 긴 시간지연이 발생할 수 있다. 따라서, 제1 실시예는 입력신호의 개수가 작은 경우에 보다 효과적이다.

<38> 이러한 입력 신호의 개수의 제한은 마지막 XOR 게이트로부터 피드백이 존재하기 때문이며, 피드백이 존재하지 않으면 입력 신호의 개수의 제한이 없어지고 많은 수의 입력을 동시에 처리해 줌으로써 저속의 소자를 사용하고도 원하는 신호를 만들 수 있다.

<39> 도 9는 본 발명에 따른 패럴렐 프로세싱을 수행하는 프리코더의 제2 실시예의 구성(900)을 나타낸 것이고, 도 10은 도 9의 입출력신호의 예를 도시한 것이다. 본 실시예는 피드-포워

드(feed-forward) 방식을 사용함으로써 입력 신호의 개수의 제한을 없앤 경우로서, 입력신호의 개수(N)가 4인 경우를 예로써 나타낸 것이다. 마찬가지로, 프리코더(900)의 출력신호를 다중화하기 위한 다중화기(200)도 함께 도시하였다.

<40> 도 9를 참조하면, 상기 프리코더(900)는 판별부(910), 토글부(920), 출력부(930) 및 클럭(CLK)을 포함하여 구성된다.

<41> 도 9 및 도 10을 참조하면, 상기 판별부(910)는 n 번째 입력되는 N 개의 입력 신호 중에서 '1'이 짝수개 존재하는지 홀수개 존재하는지 알려 준다. 예로써, 입력 신호의 개수 N 이 짝수일 경우, N 개의 입력 신호 중에 '1'의 총 개수가 짝수인 경우 '0'을 출력하고, '1'의 총 개수가 홀수인 경우 '1'을 출력한다. 이에 대한 예로써 도 10에 신호들을 도시하였다. 판별부(910)는 XOR 게이트가 피라미드 형태로 연결된 구성이며, 입력 신호의 개수가 증가하면 XOR 게이트의 개수도 증가한다. 입력 신호 N 이 4인 경우 3 개의 XOR 게이트(XOR1, XOR2, XOR3)로 구성된다.

<42> 상기 토글부(920)는 판별부(910)의 출력 신호가 '1'인 경우, 즉 입력 신호의 '1'의 개수가 홀수인 경우 상기 판별부의 출력 신호를 토글시킨다. 토글부(920)는 AND 게이트(AND1)와 티-플립플롭(Toggle Flip-Flop: 이하 T-FF라 칭함)으로 구성되며, 판별부(910)의 출력신호와 클럭(CLK) 신호를 AND 연산한 후에 T-FF를 거치게 되면서 n 번째 출력신호 b_{4n+4} (즉, Out4)를 만들어 준다. 판별부(910)의 출력신호와 클럭신호의 AND 연산을 통해서 얻은 신호가 T-FF에 입력되어 신호가 증가하는 부분(rising edge: 도 10에 화살표로 도시함)마다 T-FF에서 신호의 토글이 발생한다.

- <43> 상기 출력부(930)는 N 개의 채널 중 n 번째 출력신호 b_{4n+4} 를 기준으로 해서 입력신호에 따라 나머지 채널들의 출력값을 결정하는 부분으로, 여러 개의 XOR 게이트(XOR4, XOR5, XOR6)와 인버터로 구성된다.
- <44> 상기 과정을 거쳐 얻은 출력 신호들(Out1, Out2, Out3, Out4)을 다중화기(200)를 통해 시간 다중화하게 되면 도 10에 도시된 바와 같은 프리코딩된 신호(Mux Output)를 얻을 수 있으며, 도 4의 출력 신호(Precoder Output)와 동일함을 알 수 있다.
- <45> 본 실시예의 프리코더도 상기 제1 실시예와 마찬가지로 신호가 XOR 게이트를 통과함으로써 발생하는 시간 지연을 맞추기 위해서 하나의 입력에 '0'이 인가되는 XOR 게이트가 삽입될 수 있다. 또한, AND 게이트에서의 시간 지연을 맞추기 위해 하나의 입력에 '1'이 인가되는 AND 게이트가 삽입될 수 있고, T-FF에 의한 시간 지연을 맞추기 위해 D-FF를 사용해서 시간 지연을 맞출 수 있다.
- <46> 한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【발명의 효과】

- <47> 상술한 바와 같이 본 발명에 따른 프리코더는 시간 다중화 하기 전에 패럴렐 프로세싱을 통해 코딩함으로써 고속의 데이터에 의한 병목현상을 기존의 저속의 전기 소자를 사용하면서

도 방지할 수 있다. 따라서, 본 발명에 의한 프리코더를 이용하여 광 듀오바이너리 전송장치를 구현할 경우 고속의 프리코더를 사용하지 않아도 된다.

<48> 또한, 기존의 피드백 형태의 프리코더를 사용하지 않음으로써 입력신호의 개수에 제한을 받지 않는다.

【특허청구범위】**【청구항 1】**

n번째 입력되는 N 개 채널의 데이터 입력 신호의 "1"의 개수가 짝수인가 홀수인가를 판별하는 판별부와;

상기 '1'의 개수가 홀수인 경우 상기 판별부의 출력 신호를 토글하는 토글부와;

상기 N 개의 채널 중 임의의 채널을 기준으로 데이터 입력 신호에 따라 나머지 채널들의 출력값을 결정하는 출력부를 포함하여 구성됨을 특징으로 하는 프리코더.

【청구항 2】

제 1 항에 있어서, 상기 판별부는

상기 N 개 채널의 데이터 입력 신호의 '1'의 총 개수가 홀수일 경우 '0' 또는 '1'을 출력하도록 피라미드 형태로 연결된 다수의 배타적 논리합(XOR: Exclusive OR) 게이트로 구성됨을 특징으로 하는 프리코더.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 토글부는

상기 판별부의 출력신호와 클럭신호를 AND 연산하는 AND 게이트와,

상기 AND 게이트 출력신호의 상승 부분(rising edge)마다 토글시키는 티-플립플롭(T-FF)을 포함하여 구성됨을 특징으로 하는 프리코더.

【청구항 4】

제 3 항에 있어서, 상기 출력부는

상기 토글부의 N 채널의 출력신호를 기준으로 각 데이터 입력 신호에 따라 순차적으로 XOR 연산하기 위한 N-1 개의 XOR 게이트를 포함하여 구성됨을 특징으로 하는 프리코더.

【청구항 5】

n번째 입력되는 N 개 채널의 데이터 입력 신호를 코딩하기 위한 프리코더에 있어서, 하기 <수학식 1>을 만족하도록 구성됨을 특징으로 하는 프리코더.

$$\text{【수학식 1】 } b_{Nn+1} = a_{Nn+1} \oplus b_{Nn}$$

$$b_{Nn+2} = a_{Nn+2} \oplus b_{Nn+1}$$

$$b_{Nn+3} = a_{Nn+3} \oplus b_{Nn+2}$$

...

$$b_{Nn+N} = a_{Nn+N} \oplus b_{Nn+(N-1)}$$

여기서, a_{Nn+N} 은 n 번째 입력되는 N개 채널 중 N 번째 채널의 입력 데이터를, b_{Nn+N} 은 n 번째 출력되는 N개 채널 중 N 번째 채널의 출력 신호를, \oplus 은 XOR(Exclusive OR) 연산을 각각 의미한다.

【청구항 6】

제 5 항에 있어서, 상기 프리코더는

$a_{Nn+1}, a_{Nn+2}, a_{Nn+3}, \dots, a_{Nn+(N-2)}, a_{Nn+(N-1)}, a_{Nn+N}$ 데이터 신호를 각각 입력받는 N 개의 XOR 게이트와;

상기 N 번째 XOR 게이트의 출력단에 연결된 지연기를 포함하며,

상기 지연기의 출력신호가 상기 a_{Nn+1} 데이터 신호가 입력되는 상기 XOR 게이트에 피드백 입력되도록 구성됨을 특징으로 하는 프리코더.

【청구항 7】

제 6 항에 있어서, 상기 N 은 4임을 특징으로 하는 프리코더.

【청구항 8】

다수 개 채널의 데이터 입력 신호를 N 개 채널 단위로 패럴렐 프로세싱(parallel processing)에 의해 코딩하는 프리코더와;

상기 프리코더에 의해 코딩된 신호들을 시간 다중화하는 다중화기를 포함하여 구성됨을 특징으로 하는 광 듀오바이너리 전송장치.

【청구항 9】

제 8 항에 있어서, 상기 프리코더는

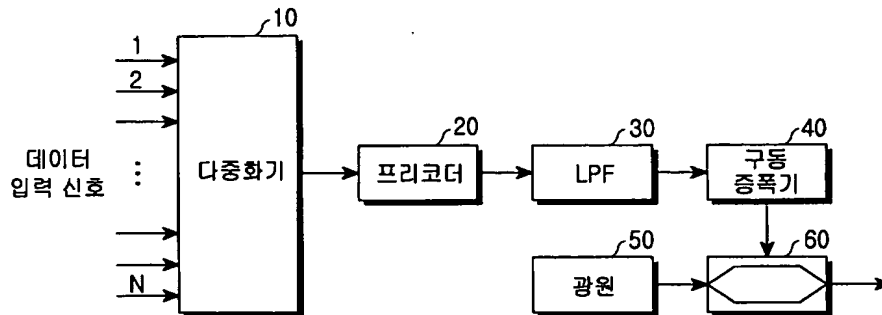
n 번째 입력되는 N 개 채널의 데이터 입력 신호의 "1"의 개수가 짝수인가 홀수인가를 판별하는 판별부와;

상기 '1'의 개수가 홀수인 경우 상기 판별부의 출력 신호를 토글하는 토글부와;

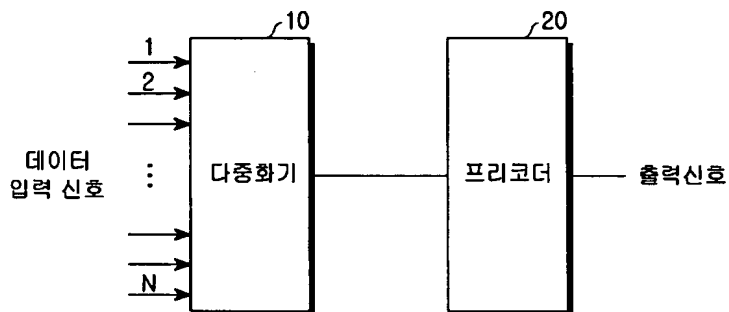
상기 N 개의 채널 중 임의의 채널을 기준으로 데이터 입력 신호에 따라 나머지 채널들의 출력값을 결정하는 출력부를 포함하여 구성됨을 특징으로 하는 광 듀오바이너리 전송장치.

【도면】

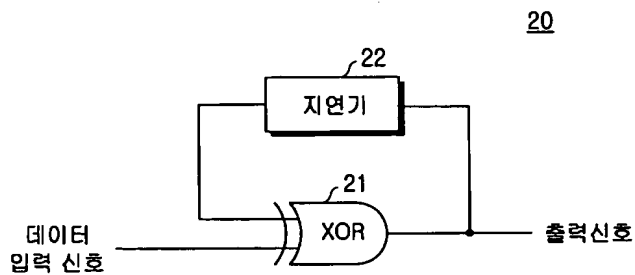
【도 1】



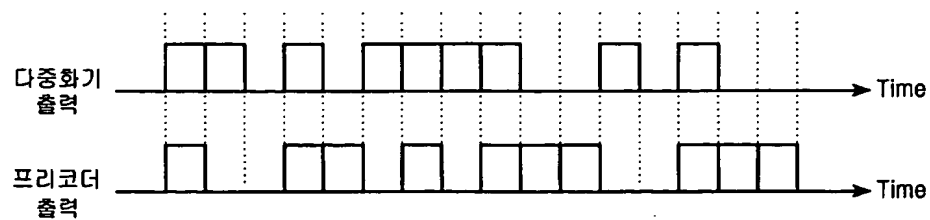
【도 2】



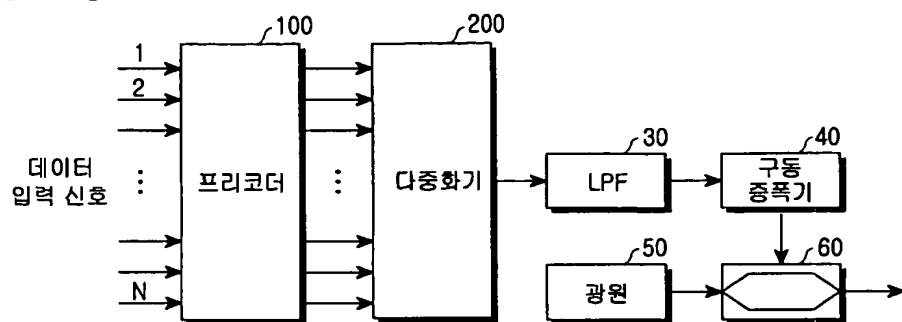
【도 3】



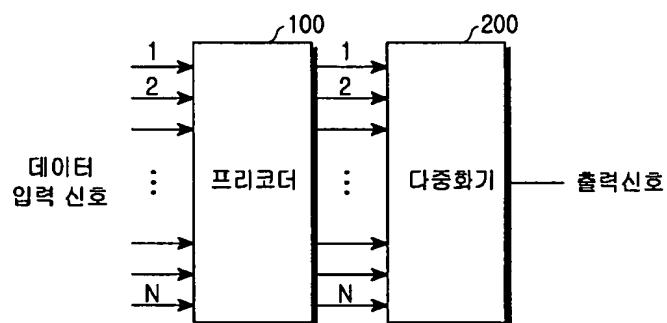
【도 4】



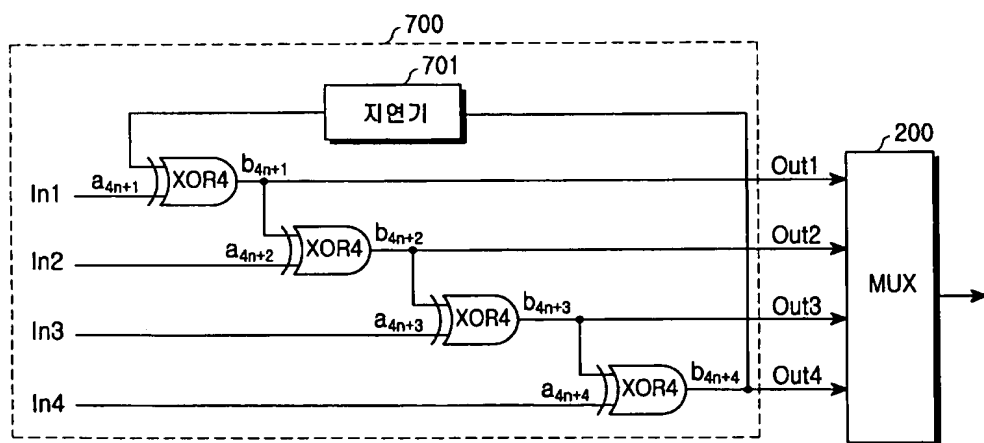
【도 5】



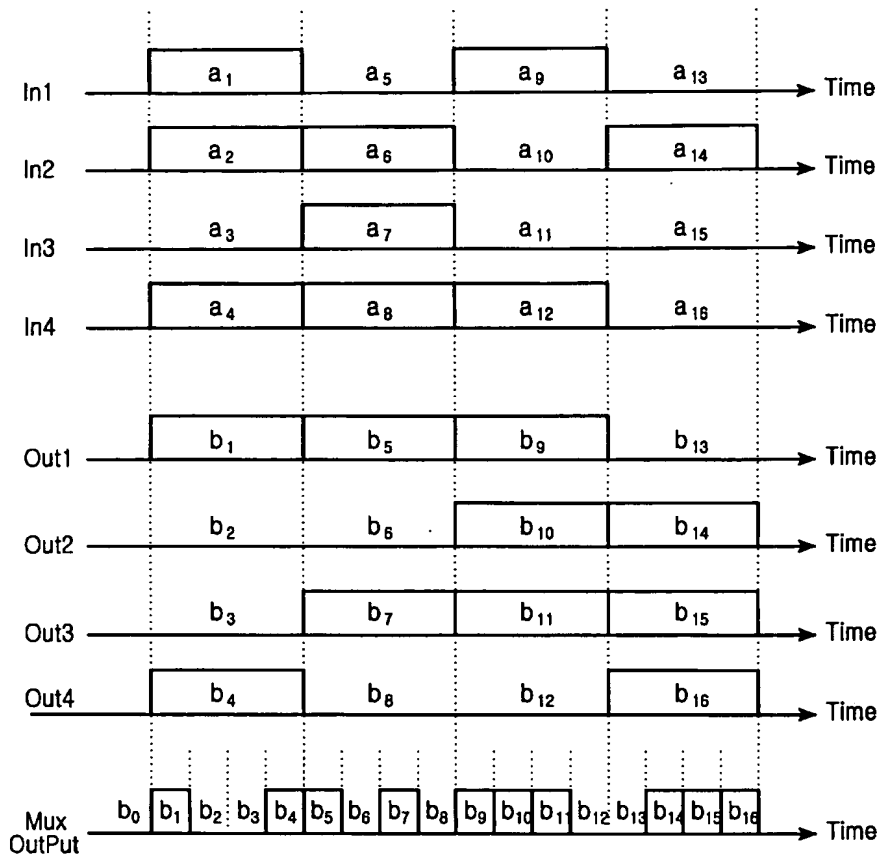
【도 6】



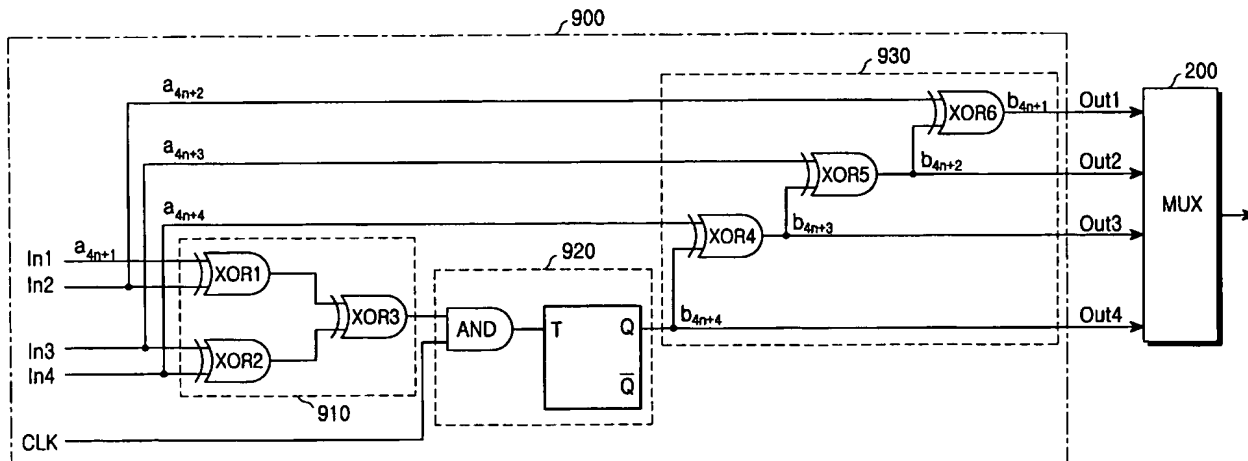
【도 7】



【도 8】



【도 9】



【도 10】

